

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235680

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

21/336

21/265

9056-4M

H 0 1 L 29/ 78

3 1 1 P

21/ 265

G

審査請求 未請求 請求項の数 1 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平6-25800

(22) 出願日 平成6年(1994)2月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 後藤 康正

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 瀬戸 俊祐

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 川久 慶人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

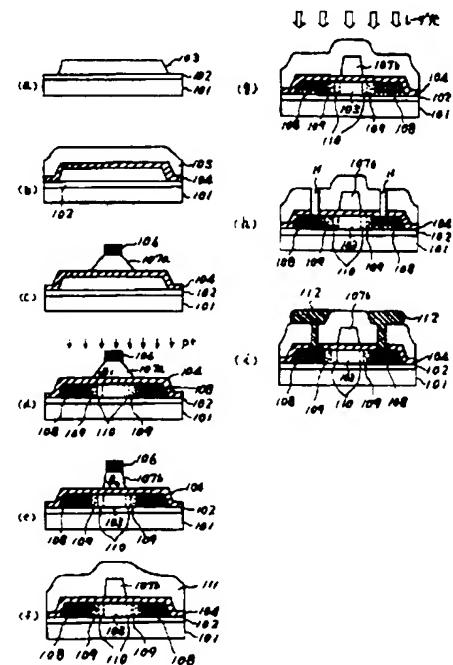
(74) 代理人 弁理士 則近 憲佑

## (54) 【発明の名称】 薄膜トランジスタの製造方法

## (57) 【要約】

【目的】 製造工程を煩雑化することなしに、低リーク電流のTFTを提供する。

【構成】 多結晶シリコンをチャネルに有するトップゲート型薄膜トランジスタにおいて、ソース・ドレイン領域にイントリンシック領域、低不純物濃度領域、高不純物濃度領域を有する薄膜トランジスタをゲート電極を同一のマスクを用いて、2回のエッチング工程と、1回の不純物注入工程で形成する薄膜トランジスタの製造方法。



## 【特許請求の範囲】

【請求項1】絶縁基板上に半導体層を形成する工程と、この半導体層上に底面が広がったゲート電極を形成する工程と、このゲート電極をマスクとして前記半導体層に不純物を導入しソース・ドレイン領域形成する工程と、前記ゲート電極の側面をエッチングする工程とを具備することを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】プラズマ、発光ダイオード、液晶等の表示デバイス、表示部の薄型化が可能であり、事務機器やコンピュータ等の表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】これらの中で、非晶質であるアモルファスシリコン（ $a\text{-Si}$ ）または結晶を持ったシリコン（ポリシリコン、 $\text{poly-Si}$ ）を用いた薄膜トランジスタ（TFT）をスイッチング素子としてマトリクス上に配した液晶表示装置（TFT-LCD）は、表示品位が高く、低消費電力であるため、その開発が盛んに行われている。

【0004】特に $\text{poly-Si}$ を用いたTFTは、 $a\text{-Si}$  TFTよりも移動度が10から100倍程度高く、その利点を利用して画素スイッチング素子として用いるだけでなく、周辺駆動回路に $\text{poly-Si}$  TFTを用いて、画素TFTと駆動回路TFTを同一基板上に同時に形成する駆動回路一体型TFT-LCDの研究開発が盛んに行われている。

【0005】 $\text{poly-Si}$  TFTは、 $a\text{-Si}$  TFTに比べ移動度は高いが、他方リーク電流（TFTがOFFのとき流れてしまうリーク電流）が $a\text{-Si}$  TFTに比べ高いという難点がある。駆動回路を構成する場合には、特に問題にならないが画素スイッチングに用いた場合は、画質劣化の原因となる。

【0006】そのため、画素に用いる $\text{poly-Si}$  TFTには、さまざまに構造上に工夫をこらしたものがある。その一例として、オフセット構造を持ったTFTを製造する場合、ソースドレイン領域、オフセット領域を形成するために、フォトリソグラフィ工程が2回必要である。従って露光のために少なくとも2つのマスクが必要であり、それによるPEP工程等の露光工程も夫々必要となり、工程が煩雑化するという問題があった。

## 【0007】

【発明が解決しようとする課題】従来の薄膜トランジスタの製造方法は、リーク電流の低減化に有利なオフセット構造を有するものの、少なくとも2つのマスクを必要とする2回の露光工程が必要で工程が煩雑化する問題があった。

【0008】本発明は上記問題点を鑑みてなされたもので、1回の露光工程でオフセット構造を形成でき、製造工程数を簡略化した薄膜トランジスタの製造方法の提供を目的とする。

## 【0009】

【課題を解決するための手段】上記目的を達成するために、本発明は絶縁基板上に半導体層を形成する工程と、この半導体層上に底面が広がったゲート電極を形成する工程と、このゲート電極をマスクとして前記半導体層に不純物を導入しソース・ドレイン領域を形成する工程と、前記ゲート電極の側面をエッチングする工程とを具備することを特徴とする薄膜トランジスタの製造方法を提供するものである。ここで、半導体はn型半導体やII-VI族等の化合物半導体であっても良いが、液晶表示装置に使用した際の画質向上面からシリコンが好ましい。

## 【0010】

【作用】透明絶縁性基板上に、薄膜トランジスタを製造する際、ゲート電極のエッチング工程、不純物注入工程、再エッチング工程を、同一のマスクで行うことにより、サブミクロンあるいはミクロンオーダーのオフセット領域の製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

## 【0011】

【実施例】以下、本発明の詳細を図示の実施例により説明する。

【実施例1】実施例1を図1に従い説明する。図1にはnチャネルコプラナ型TFTの製造工程を示している。

【0012】最初にガラス基板・石英基板等からなる透光性絶縁基板101上にCVD法によりハーフア層となる $\text{SiO}_x$ 膜102を100nm程度被着する。さらにCVD法により $a\text{-Si}$  H膜を50nm被着し、450度で1時間炉アニールを行った後、例えばXeClエキシマレーザーアニールにより $a\text{-Si}$  H膜を溶融再結晶化させ $\text{poly-Si}$ 膜103を形成する。その後、フォトリソグラフィ等により $\text{poly-Si}$ 膜103をパターンニング、エッチングし、島状に加工作る（図1(a)）。

【0013】次に、CVD法によりゲート絶縁膜として $\text{SiO}_x$ 膜104を100nm被着した後、ゲート電極として例えば燐ドーパ $a\text{-Si}$ 膜105を400nm被着する（図1(b)）。

【0014】フォトリソグラフィによりレジスト、感光性ポリイミド106等をパターンニングした後、ゲート電極105aを例えばDIP法等により $\theta = 25^\circ$ の角度がつくようにエッチングを行う（図1(c)）。

【0015】次にレジスト、ポリイミド等の剥離を行わず、イオン注入、イオントーチング法により燐を注入する。イオン注入法の場合、例えば加速電圧は100keV、ドーパ量は $3 \times 10^{15} \text{cm}^{-2}$ とする。燐イオンは上部にゲート電極が存在しないソース・ドレイン領域10

8)には導イオンがヘビードープされる。この領域に電気的に隣接してゲート電極端部を通過して導イオンが注入される領域、つまりライトリ・ドープされた領域107、さらに隣接して膜厚が215nm以上あるゲート電極直下の活性層領域、すなわちイントリシックS1のままである領域110が得られる(図1(d))。

【0016】次にレジスト・ボ・ミッド等の剥離を行わず、CDE法によるエッチング時に用いたままの状態ですらに、RIE法の異方性エッチング時のマスクとして使用する。RIE法により $\theta_2 = \alpha$ 度のゲート角でゲート電極を再エッチングすると約600nmのオフセット領域110と、約460nmのLDD領域109が形成できる。このときの活性層及びゲート電極の状態について記載する。ゲート電極の再エッチングによりゲート電極107b長は短くなり、それにともないチャンネル領域はやや短くなる。チャンネルに隣接して前記ライトリ・ドープ(LDD)領域109、イントリシックS1領域(オフセット領域)110がソース・ドレイン領域の一部として加わる(図1(e))。

【0017】この後レジスト等の剥離を行った後、APCVD法により層間絶縁膜111を400nm程度被着する(図1(f))。次に、例えばXeClエキシマレーザーアニールによりソース・ドレイン領域、ゲート電極107bの活性化を行う。この時のレーザーエネルギーは約 $200\text{mJ}/\text{cm}^2$ とすれば、十分に活性化ができる。レーザー活性化法を用いた場合不純物の拡散長は、たかだか60nm程度であるので約540nm(0.5 $\mu\text{m}$ )のオフセット領域110が形成される。さらに、LDD領域109とオフセット領域110を同時に溶解させるために、良好なn-i接合を形成できることも、リーク電流低減に寄与している(図1(g))。

【0018】さらに、フォトリソグラフィによりコンタクトホールHを開孔し(図1(h))、ソース・ドレイン電極として例えばAl膜をスパッタリング法により成膜する。フォトリソグラフィ等によりソース・ドレイン電極112にパターニングして、nチャンネルコプラナ型TFTが完成する(図1(i))。

【0019】ここでゲート電極107a、107bのゲート加工について説明を加える。ゲート電極をゲートエッチングする際、図2に示したようにゲート電極107aのゲート角を $\theta_1$ 度とする。次に、レジスト等の剥離を行わずそのままゲート電極107aをマスクとして不純物を注入する。さらに、前記ゲート電極107aエッチング時に用いたレジスト等をマスクとし、ゲート電極107aのエッジ部が垂直あるいは垂直に近い角度( $\theta_2$ )になるように再エッチングを行ってゲート電極107bを形成する。この時、 $\theta_2 > \theta_1$ なる条件でエッチングすることは、言うまでもない。ゲート電極107a、ゲート絶縁膜104を通過して不純物が注入される領域の長さ( $L_1$ )と、チャンネル領域に隣接したイン

トリシックS1領域の長さ( $L_2$ )の制御は、ゲート電極107a、107bの膜厚、イオン加速電圧、ゲート電極エッジ部の角度( $\theta_1$ 、 $\theta_2$ )等によって制御する。この時の活性層108中の平均不純物密度を図3に示す。このように、1度の不純物注入工程で、ゲート電極端107aからの距離により、高不純物濃度領域108( $L_1 > L_2$ )、低不純物濃度領域109( $L_1 < L_2$ )、オフセット領域110( $L_1 \approx L_2$ )の3領域を形成することができる。

【0020】また、ゲート電極を上記条件( $\theta_2 > \theta_1$ )で2回でエッチングした後、ゲート電極をマスクとして、さらに不純物を低濃度で注入するとLDD構造をとることもできる。

【0021】このとき、不純物を含まないイントリシック領域(オフセット領域)104の長さ( $L_1$ )と、低不純物濃度領域105の長さ( $L_2$ )の比( $L_1/L_2$ )が0.1以上であることが高い信頼性を得ることから好ましい。

【0022】この製造方法によれば、オフセット領域を形成するために新たなマスクを必要としない。従ってその分の余分のPEP工程等がなくなり、大幅に工程を簡略化することができる。

【0023】本発明のTFTにおいては、容易にオフセット構造を形成することができリーク電流を $1 \times 10^{-11}\text{A}$ 程度に低減でき、ゲート電極にゲートがけられているにも関わらず、前記ゲート電極直下のゲート絶縁膜中に導イオンが注入されずTFTの信頼性が向上する。

(実施例2) 本実施例が、実施例1と異なる点は、半導体がSi以外の半導体である化合物半導体のGaAsであり、ゲート電極がWNxのショットキー電極になったことにある。この場合、実施例1の様なゲート絶縁膜は必要ないので、Si基板上にGaAs層を形成しておき、このGaAs層上にさらに形成したゲート形状(底面が広がった台形)のゲート電極から不純物をイオン注入してソース・ドレイン領域を形成し、その後、ゲート電極の側面を実施例1と同様にエッチングする。エッチングした下部のGaAs層がオフセット領域となる。これによって実施例1とは材料系は異なるもののGaAsを用いたコプラナ型TFTをオフセット領域を持った構造で実施例1と同様に形成することができる。甲第1号証かについても、実施例1と同様に参する事ができる。

【0024】なお、本発明では、コプラナ型TFTについて説明したが、本発明の主旨を逸脱しない範囲において、さまざまに変形することができる。例えばソース・ドレイン領域、チャンネル領域よりもゲート電極が長くなるTFT、例えばスタガ型TFTについても同様に実施することができる。また、nチャンネルまたはpチャンネルタイプのTFTに適用することができるのは言うまでもない。ゲート電極材料については、高融点金属、その経過物、窒化物などが使用でき、また、ゲート絶縁膜につ

は、窒化シリコン、窒化酸化シリコン等が使用でき、さらには、ソース・ドレイン領域、チャネル領域については、多結晶、非晶質の各種半導体を使用することができる。

【0025】

【発明の効果】本発明により、オフセット領域を形成するためのフォトリソグラフィ工程を削除し、製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例を工程順に示した断面図。

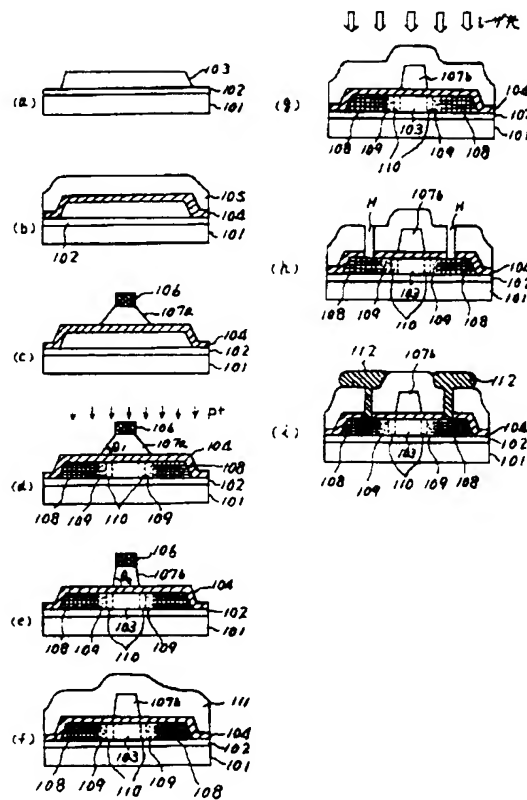
【図2】 本発明の実施例の要部拡大図。

【図3】 本発明の実施例を説明する図。

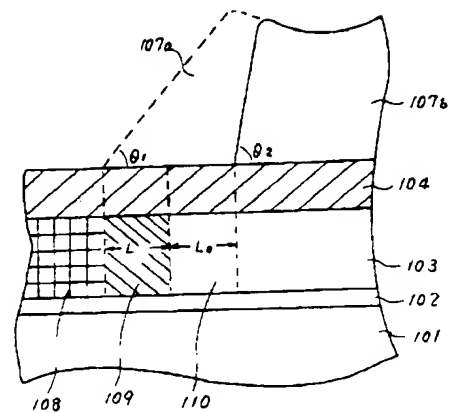
【符号の説明】

- 101 基板
- 102 パリファ層
- 103 多結晶シリコンチャネル
- 104 ゲート絶縁膜
- 107a, 107b ゲート電極
- 108 ソース・ドレイン領域
- 109 低不純物濃度領域
- 110 オフセット領域
- 111 層間絶縁膜

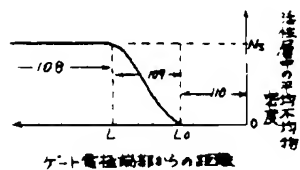
【図1】



【図2】



【図3】



フロントページの続き

510 Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H O 1 L 29:58

3 1 1 5